

ビジョンシステムの実用化に関する研究開発

情報技術部 佐野 誠, 武田幹雄, 石津任章, 藤原義也

研究概要

- 画像処理アルゴリズムに応じたHDLソースコードの、自動生成に適した構造を持つ画像処理IPを実現
- 簡単なGUI操作により画像処理アルゴリズムをHDL生成し、シミュレーションも可能なソフトウェアを開発

IP構造の新提案

現状のIPの課題：

- IPを利用の際、ユーザはIPの仕様を把握して、IPとのインターフェース部分を、ユーザの周辺回路側で設計調整する必要が生じる。
- 画像処理IPを任意の順序で組み合わせる場合に、IP間の同期や接続を適切に調整する回路が必要となる。

そこで、



産科研で開発したIPを
新構造に改良

本研究：

IPとのインターフェース部分やIP間の接続調整部のHDLソースコードを、アルゴリズムに応じて自動生成可能とするIPの新構造を開発した。

現在特許出願中

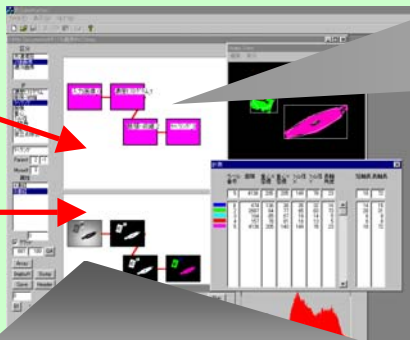
膨張・収縮8段、
メディアンフィルタ
を新規開発

開発した画像処理IPの性能

IPの種類	最高動作周波数	ロジックセル数	RAMビット数
X軸・Y軸射影(*)	44MHz	152	20480
周囲長(*)	52MHz	117	1024
面積(2値)(*)	116MHz	22	0
重心(2値)(*)	77MHz	84	0
フィル径(2値)(*)	79MHz	67	0
慣性等価楕円の傾き角(2値)(*)	60MHz	305	0
膨張・収縮	50MHz	51	2048
ラベリング	23MHz	566	61440
面積(濃淡)	44MHz	109	5120
重心(濃淡)	28MHz	293	15360
フィル径(濃淡)	40MHz	264	10240
慣性等価楕円の傾き角(濃淡)	25MHz	667	30720
濃度ヒストグラム(*)	51MHz	93	5120
階調変換	47MHz	29	2048
3×3空間フィルタ	45MHz	1440	16384
3×3差分型エッジ検出フィルタ	45MHz	2592	16384
画像間演算(加算、減算、比較)	120MHz	109	0
抵抗ヒューズネットワーク	39MHz	1118	69376
膨張・収縮8段	47MHz	345	16384
メディアンフィルタ	41MHz	374	16384

画像処理アルゴリズム実施例

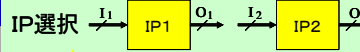
原画像→ヒストグラムによる2値化→膨張・収縮
→ラベリング(ラベル毎の面積、重心、フィル径も算出)



回路図エディタ部

画像処理結果表示部

同期・接続回路の自動生成機構 (回路図エディタ部)



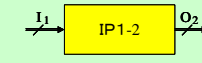
組み合わせテーブル

前段IP	後段IP	同期情報	接続情報
...
IP1	IP2	同期1-2	接続1-2
IP1	IP3	同期1-3	接続1-3
...
IP2	IP3	同期2-3	接続2-3
...

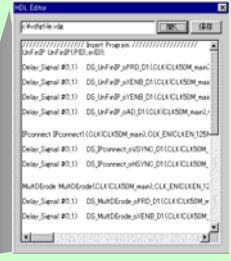
HDLを自動生成!

HDL生成エンジン

自動生成

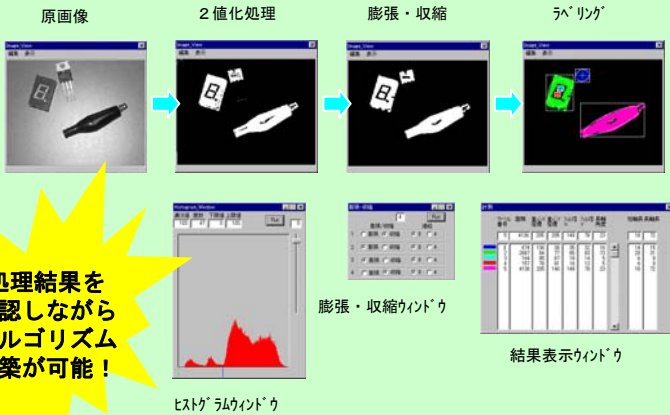


画像処理IPの
パイプライン構成
に必要な周辺回路
も自動生成



HDL表示ウィンドウ

各IPの処理結果 (画像処理結果表示部)



処理結果を確認しながら
アルゴリズム構築が可能!

成果展開

穀粒判別器や画像処理ボードの商品化
など県内企業に成果展開

